

PCI EXPRESS BRIDGE

Pavol Korček

Master Degree Programme (2), FIT BUT

E-mail: xkorce00@stud.fit.vutbr.cz

Supervised by: Tomáš Martínek

E-mail: martinto@fit.vutbr.cz

ABSTRACT

The aim of this paper is to explain new FPGA communication unit – PCI Express Bridge. This one is used in many on-chip accelerated applications, when we want to communicate on high speed with host memory or with other peripherals in our system. Sophisticated design allows to use this unit with many others system buses, but actually it is developed for last system bus generation: PCI Express. As well as good design practice needs, this component is fully verified and completely tested in hardware.

1. ÚVOD

Efektívne spracovanie informácií viedlo k nasadzovaniu výpočtovej techniky do rozličných oblastí ľudskej činnosti. Použitie počítačov ako obecných výpočtových prostriedkov v rôznych aplikáciách, akou je napríklad smerovanie a vyhľadávanie v tokoch vysokorychlostných počítačových sietí, spracovanie obrovského množstva multimediálnych alebo medicínskych dát, či rôzne vedecké výpočty, naráža na niekoľko problémov. Zvyšovanie výkonnostných požiadaviek prináša na bežných PC platformách so sebou obmedzenia v podobe nedostatočného výkonu univerzálneho procesora. Tu sa ponúka riešenie presunúť implementáciu takýchto počítačových systémov celých, alebo v prípade hardwarovej akcelerácie iba ich častí na úroveň dobre škálovateľných a pritom dostatočne výkonných programovateľných hradlových polí (FPGA) [1]. Pre vybrané problémy dokáže táto technológia poskytnúť v mnohých prípadoch vyššiu výkonnosť než obecné procesory. FPGA je možné taktiež nasadiť do vývojových periférnych kariet osobných počítačov, kde tieto čipy slúžia ako akcelerátory nad danou úlohou. Takouto kartou môže byť napríklad vývojový kit ML555 firmy Xilinx [2] alebo dosky z rodiny COMBOv2, ktoré sú vyvíjané na projekte Liberouter [3]. Obe z uvedených typov disponujú FPGA čipmi Virtex-5 [1].

2. KOMUNIKÁCIA S AKCELERÁTORMI ÚLOH

Dôležitou úlohou je zabezpečiť komunikáciu akcelerátora s hostiteľským systémom cez systémovú zbernicu (v súčasnosti PCI Express [4]). Väčšina z akcelerovaných úloh totiž vyžaduje prenos dát zo systémovej pamäti RAM (alebo obecné z ľubovoľnej komponenty hostiteľského systému - sieťová, grafická karta, procesor a pod.) do vnútorných komponent systému na čipe (radič DMA prenosu, radič DRAM pamäte, PowerPC procesor a pod.). Na druhú stranu musí byť však taktiež umožnené realizovať prenosi z vnútra čipu FPGA sme-

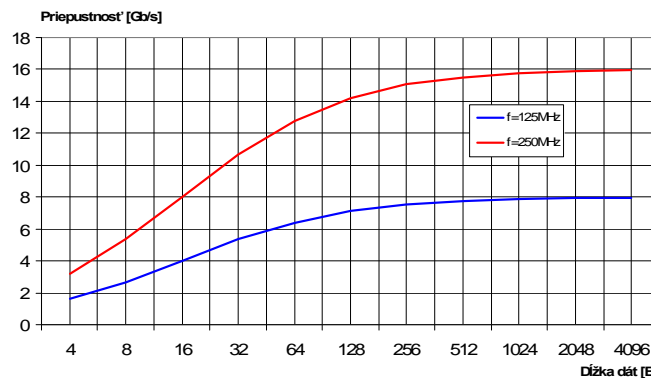
rom z akcelerátora do hostiteľského systému. Toto ale znamená, že vývojári, ktorí vytvárajú takto akcelerované aplikácie na kartách s FPGA čipmi a PCI Express rozhraním, musia riešiť situáciu ako spracovávať obojstranné čítacie/zápisové transakcie. To umožňuje riadiaca jednotka – *Bridge*, ktorá okrem základnej komunikácie dokáže obsluhovať rozpracované transakcie, nezarovnané transakcie, vie uspokojiť vysoké nároky na rýchlosť, priepustnosť a podobne. Úplný návrh takejto jednotky je však pomerne zložitý.

2.1. SYSTÉMOVÁ ZBERNICA

3. generácia systémových zberníc (3GIO) so sebou priniesla mnoho úprav, bez ktorých by sa ďalší prudký vývoj nezaobišiel. Paketová komunikácia po vysokorýchlostných sériových linkách umožňuje pomocou niekoľkých takýchto liniek komunikovať medzi dvoma bodmi až maximálne o rýchlosti 16 GB/s (PCI Express štandard 1.1 [4,5], kde je pre jedinú linku definovaná rýchlosť 2,5 Gb/s). PCI Express podľa modelu iných, už zavedených štandardov, člení celý model komunikácie do niekoľkých jednoduchších vrstiev, pričom v našom prípade (platí pre čipy Virtex-5) sa o najnižšie úrovne až po tzv. linkovú vrstvu stará vstavaný IP (hard + soft) core PCI Express Endpoint Block Plus [6]. Ten umožňuje pracovať s protokolom systémovej zbernice na vyššej, tzv. transakčnej úrovni pomocou 64-bitového rozhrania.

2.2. INTERNÁ ZBERNICA

Interná zbernica je jednoduchou, plne duplexnou zbernicou určenou pre pripojenie interných komponent v FPGA [7]. Podporuje rozpracované transakcie a má škálovateľnú priepustnosť na základe požiadaviek pripojených komponent. Vďaka stromovej architektúre, ktorej najvyšším uzlom je *Bridge*, je to taktiež zbernicový systém s nízkou citlivosťou na vzdialenosť. Komunikácia na zbernici prebieha pomocou 64-bitových paketov (šírka zvolená s ohľadom na šírku transakčného rozhrania systémovej zbernice), pričom prvé dva zbernicové takty obsahujú hlavičku (réžia 16 B/paket). Táto podľa typu obsahuje lokálnu adresu, globálnu adresu, príznak, označenie typu a dĺžku (max. 4 kB). Z toho vyplýva i maximálna dátová priepustnosť internej zbernice o frekvencii 125 MHz a 250 MHz pre rôzne dĺžky dát zobrazené v grafe 1.

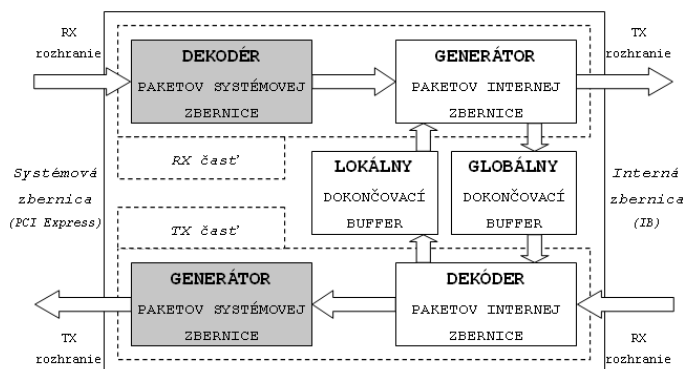


Graf č.: 1. Priepustnosť na internej zbernici.

2.3. PCI EXPRES BRIDGE

Hlavnou úlohou PCI Express *Bridge* je teda obojsmerný preklad medzi transakciami internej zbernice a nadriadeného systému na maximálnej rýchlosti. Ďalej umožňuje ukladanie stavových informácií pre podporu rozdelených transakcií podľa modelu PCI pomocou tzv. dokončovacích pamätí (bufferov), čím zabraňuje čakaniu na zbernici. Návrh základnej

architektúry počíta taktiež s plne duplexným prenosom (osobitne sa spracováva RX i TX smer) a je vyobrazený na obrázku 1. Platformovo závislé časti sú vyznačené tmavšie.



Obrázok č.: 1. Bloková architektúra PCI Express Bridge.

Bridge spracováva zo systémovej zbernice pakety typu zápis, čítanie a odpoveď na čítanie (tzv. completion transakcie) adresované do mapovaného priestoru. V opačnom smere generuje pakety v závislosti od typu prichádzajúcich paketov z internej zbernice. V tomto prípade sa paket transformuje na PCI Express paket daných parametrov.

3. ZÁVER

Jednotka pre riadenie protokolu PCI Express je veľmi podstatnou časťou celého prepojavacieho systému komponent na čipe FPGA. Tento článok ukazuje návrh takejto jednotky s ohľadom na priepustnosť, modularitu a s dôrazom na ďalšiu rozšíriteľnosť. Tá umožní pomocou oddelenia modulov na platformovo závislé a nezávislé časti do budúcnosti upraviť, a tak i prispôbiť jednotku pre prácu či už s rádovo nižšími typmi systémovej zbernice pre staršie systémy (PCI, PCI-X) alebo novo vznikajúcimi modernými zbernicami. Navrhnutú jednotku sa navyše podarilo úspešne verifikovať pomocou moderných a v praxi často užívaných metód a zároveň i otestovať v skutočnej aplikácii na kartách COMBOv2.

REFERENCIE

- [1] Xilinx, Inc.: *Virtex-5 FPGA* [online]. User Guide v4.4, 2008 [December 2008]. URL: <http://www.xilinx.com/support/documentation/user_guides/ug190.pdf>.
- [2] Xilinx, Inc.: *Virtex-5 FPGA ML555 Development Kit for PCI and PCI Express Designs* [online]. User Guide v1.4, 2008 [December 2008]. URL: <http://www.xilinx.com/support/documentation/boards_and_kits/ug201.pdf>.
- [3] *Liberrouter project* [online]. [December 2008]. URL: <<http://www.liberrouter.org>>.
- [4] Anderson, D., Budruk, R., Shanley, T.: *PCI Express System Architecture*. MindShare Inc., Addison Wesley. September 2003. ISBN 0-321-15630-7. 1120s.
- [5] PCI-SIG: *PCI Express Base Specification*. Revision 1.0a, April 2003.
- [6] Xilinx, Inc.: *Endpoint Block Plus for PCI Express*. Product Specification v1.6, March 2004.
- [7] Kořenek, J., Martínek, T., Málek, T.: *GICS: Generic Interconnection System*, In: 2008 International Conference on Field Programmable Logic and Applications, Heidelberg, DE, IEEE CS, 2008, s. 263-268, ISBN 978-1-4244-1961-6.